

© EPODOC / EPO

PN - JP7141984 A 19950602  
PD - 1995-06-02  
PR - JP19930313972 19931122  
OPD - 1993-11-22  
TI - MANUFACTURE OF FIELD EMISSION CATHODE  
IN - ITO SHIGEO; OTSU KAZUYOSHI; WATANABE TERUO; NIIYAMA  
TAKEHIRO  
PA - FUTABA DENSHI KOGYO KK  
IC - H01J9/02 ; H01J1/30

© WPI / DERWENT

TI - Field emission cathode mfr. - by installing gate electrode after  
forming multiple emitter units  
PR - JP19930313972 19931122  
PN - JP7141984 A 19950602 DW199531 H01J9/02 007pp  
PA - (FUTK ) FUTABA DENSHI KOGYO KK  
IC - H01J1/30 ; H01J9/02  
AB - J07141984 The manufacturing method is applicable to a glass  
substrate (121). A N or P type amorphous silicon layer (122) is  
formed on the upper surface of the substrate, by plasma CVD  
method. The resistivity of the silicon layer ranges from 10<sup>2</sup> - 10<sup>4</sup>  
ohms/cm. The cathode electrode domains (123) are formed at  
predetermined positions of the silicon layer by laser annealing  
technique.  
- An insulated layer (124) and a gate electrode layer (125), are  
formed on the top surface of the silicon layer. The cathode domain  
has resistivity near that of conductive material. A gate electrode is  
installed in the final process.  
- ADVANTAGE - Improves manufacturing yield.  
- (Dwg.1/7)  
OPD - 1993-11-22  
AN - 1995-234816 [31]

© PAJ / JPO

PN - JP7141984 A 19950602  
PD - 1995-06-02  
AP - JP19930313972 19931122  
IN - NIIYAMA TAKEHIRO; others03  
PA - FUTABA CORP

- TI - MANUFACTURE OF FIELD EMISSION CATHODE
- AB - PURPOSE: To improve a yield when a field emission cathode element is manufactured.
- CONSTITUTION: An (n) or (p) type amorphous silicon layer 122 having a resistivity of  $10^2$  OMEGA/cm -  $10^4$  OMEGA/cm degree is vapor-deposited on the upper surface of a substrate 121 of glass, etc., to irradiate a laser beam to the given region of this layer to perform annealing treatment. An annealed region can be polycrystallized from an amorphous condition to be changed into a cathode region 123 having resistivity near to that of a conductor. When an insulating layer 124 and a gate electrode layer 125 are formed into films on the upper surface of this (n) or (p) type amorphous silicon layer 122, the respective layers of a laminated substrate for manufacturing an FEC can be flattened to eliminate the crack of a gate electrode apt to be generated in an FEC manufacturing process.
- I - H01J9/02 ; H01J1/30

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-141984

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl.<sup>4</sup>  
F40 1 J 9/02識別記号 庁内整理番号  
B 7354-5E  
C 7354-5E  
B

F I

技術表示箇所

1/30

審査請求 未請求 請求項の数3 F D (全7頁)

(21) 出願番号 特願平5-313972

(22) 出願日 平成5年(1993)11月22日

(71) 出願人 000201814

双葉電子工業株式会社

千葉県茂原市大芝629

(72) 発明者 新山 剛宏

千葉県茂原市大芝629 双葉電子工業株式  
会社内

(72) 発明者 渡辺 照男

千葉県茂原市大芝629 双葉電子工業株式  
会社内

(72) 発明者 伊藤 茂生

千葉県茂原市大芝629 双葉電子工業株式  
会社内

(74) 代理人 弁理士 脇 篤夫 (外1名)

最終頁に続く

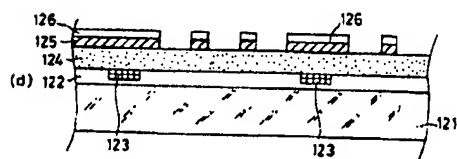
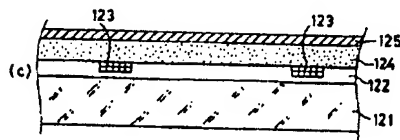
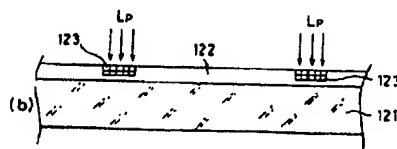
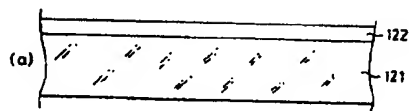
(54) 【発明の名称】 電界放出カソードの製造方法

(57) 【要約】

【目的】 電界放出カソード素子を製造する際の歩留を改善することを目的とする。

【構成】 ガラス等の基板121の上面に抵抗率が $10^2 \Omega/\text{cm} \sim 10^4 \Omega/\text{cm}$ 程度となるn又はp型アモルファスシリコン層122を蒸着し、この層の所定の領域にレーザを照射してアニール処理を行う。アニールされた領域はアモルファス状態から多結晶化され、導電体に近い抵抗率を有するカソード領域123に変化させることができる。

【効果】 このn又はp型アモルファスシリコン層122の上面に絶縁層124、ゲート電極層125を成膜すると、FECを製造するための積層基板の各層が平坦になり、FEC製造プロセスで発生しやすいゲート電極の亀裂をなくすることができる。



【特許請求の範囲】

【請求項1】 基板上にプラズマCVD法、又は減圧CVD法等によってn又はp型アモルファスシリコン層を成膜し、前記n又はp型アモルファスシリコン層の所定の位置をレーザアニールによって多結晶化することによりカソード電極領域を形成すると共に、上記n又はp型アモルファスシリコン層の上面に少なくとも絶縁層、ゲート電極層を成膜し、所定の位置をエッチング、および蒸着するFEC製造工程によって多数のエミッタ、およびゲート電極を形成することを特徴とする電界放出カソードの製造方法。

【請求項2】 上記カソード電極は、上記エミッタの複数個を取り巻くように形成されることを特徴とする請求項1に記載の電界放出カソードの製造方法。

【請求項3】 上記n型アモルファスシリコン層はガス種としてSi、H<sub>2</sub>、又はSi<sub>2</sub>H<sub>6</sub>にPH<sub>3</sub>を、p型としてB<sub>2</sub>H<sub>6</sub>を混合し、抵抗率が10<sup>2</sup>Ω/cm〜10<sup>6</sup>Ω/cmとされていることを特徴とする請求項1又は2に記載の電界放出カソードの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はコールドカソードとして知られている電界放出カソードに関するものであり、特に製造歩留を向上させることができる電界放出カソード製造方法に関するものである。

【0002】

【従来の技術】 金属または半導体表面の印加電界を10<sup>6</sup> [V/m]程度にすると、トンネル効果により電子が障壁を通過して常温でも真空中に電子放出が行われるようになる。これを電界放出 (Field Emission) といい、このような原理で電子を放出するカソードを電界放出カソード (Field Emission Cathode) と呼んでいる。近年、半導体加工技術を駆使して、ミクロンサイズの電界放出カソードからなる面放出型の電界放出カソードを作成することが可能となっており、電界放出カソードは蛍光表示装置、電子デバイス、電子顕微鏡や電子ビーム装置を構成する素子として開発されている。

【0003】 図5に、その一例であるエミッタとカソード間に抵抗を有するスピント (Spindt) 型と呼ばれる電界放出カソード (以下、FECと記す) を利用した装置の斜視図を示す。この図において、基板100上にカソード電極層 (ライン) 101が形成されており、このカソード電極層101上に、後で述べる製造方法で形成されるコーン状のエミッタ115が抵抗層102を介して形成されている。さらに、抵抗層102上に絶縁層103を介してゲート電極層 (ライン) 104が設けられており、ゲート電極層104に設けられた丸い開口部の中に前記したコーン状のエミッタ115が配置され、このエミッタ115の先端部分がゲート電極層104に開けられた開口部から臨んでいる。

【0004】 このエミッタ115間のピッチは10ミクロン以下とすることができ、このようなエミッタを数万ないし数十万個を1枚の基板100上に設け、図示されているようにx、y方向に伸びているカソード電極層101とゲート電極層104にカソード駆動回路、及びゲート駆動回路から走査電圧を印加することによって、その交点の領域に位置する電界放出素子ブロックから電子が放出され、対向して配置されているアノード電極120に塗布されている蛍光物質を発光するようにしている。

【0005】 なお、エミッタ115とカソード電極層101間に抵抗層を設けると、製造の過程又は動作時に塵埃又は衝撃等によって極めて近接して配置されている一部のエミッタとゲート間が短絡したときでも、エミッタに大電流が流れ、溶断したエミッタが周辺に飛散してこのエミッタの近傍にある全ての電界放出カソードの機能を失うという事故を防止することができる。

【0006】 さらに、多数のエミッタのうち電子の放出しやすいエミッタから集中して電子が放出されやすいため、そのエミッタに電流が集中することになり、画面上に異状に明るいスポットが発生することもあったが、これらの動作上の欠点を防止するためにカソードとエミッタとの間に抵抗領域を設けることは極めて有効である。

【0007】 次に、図6によって上記したようなスピント型のFECの製造過程の一例を説明する。まず、図6(a)に示すように、ガラス等の基板100の上にカソード電極層101が蒸着により形成されており、さらにその上に金属材料をスパッタ蒸着して抵抗層102を成膜する、そしてさらに酸化シリコンによって絶縁層103が形成されている。さらに、その上にゲート電極層104となるニオブ (Nb) が蒸着され、ゲート電極層104上にフォトリソを塗布した後、図6(b)に示すようにパターニング及びエッチングを行いゲート電極層104に開口113が作られる。

【0008】 このような積層基板はバッファードフッ酸 (BHF) 等でウェットエッチングするか、またはCF<sub>4</sub>、反応性イオンエッチング (RIE) することにより絶縁層103をエッチングし絶縁層103の部分にエミッタ115を形成するための穴114を形成する (図6(c))。次に、図6(c)に示すように、基板100を回転させながら、斜め方向から剥離層105となるアルミニウムの蒸着を行う。このように斜め蒸着を行うと、剥離層105は開けた穴の中には蒸着されずにゲート電極層104の表面にのみ選択的に蒸着されるようになる。

【0009】 さらに、図6(d)に示すように剥離層105の上からモリブデンの混合物等からなる材料層106を電子ビーム蒸着法 (EB) によって垂直方向から堆積させる。すると、この材料層106は絶縁層103に開けた穴114の中にも堆積し、抵抗層102上に円錐状のコーンとして堆積され、これがエミッタ115とし

3

て形成される。この後、ゲート電極層104上の剥離層105及び材料層106をエッチングにより共に除去すると、図6(e)に示すような形状の単体のFECが得られるようになる。

【0010】図6(e)に示すFECはコーン状のエミッタ115とゲート電極層104との距離をサブミクロンとすることができ、エミッタ115とゲート電極層104間にわずかに数10ボルトの電圧を印加することによりエミッタ115から電子を放出させることができるようになる。

【0011】なお、図6(f)に示されているようにゲート電極層104の上面に第2の絶縁層107及び、第2のゲート電極層108を積層して、上記したようなFEC製造工程を施行すると、第2ゲート108を収束電極とするような3極管構造のFECを構成することもできる。

【0012】

【発明が解決しようとする課題】ところで、上記したような電界放出カソードを多数個基板上に形成し、例えば表示装置に適用する場合は、図5に示したように上記電界放出素子と対向する真空中にほぼ200 $\mu$ mの距離において電子の衝突によって発光するアノード電極120を設け、電子を放出するエミッタを適当な数を単位としてブロックに分割し、この分割されたブロック毎に走査電圧を印加して画像表示装置とすることが知られている。

【0013】このような表示装置の場合は、画像信号に対応してブロック化された各電界放出素子を走査するために、上記カソード電極を画素に対応するようにブロックに分割しているが、カソード電極層はほぼ0.2 $\mu$ m程度の厚みがあり、この厚みによってブロックに分割したときに各ブロックとブロックの間に積層される絶縁層やゲート電極層の部分に凹凸の段差が生じ、この段差部の膜質は段差のない部分に比べてあるため、条件によってこの部分に亀裂が入るという問題がある。

【0014】すなわち、図7に拡大して示されているように、基板100上に所定の領域でブロック化されているカソード電極層101を蒸着し、その上に抵抗層となるアモルファスシリコン層102と絶縁層103を成膜すると共に、さらにその上面にゲート電極層104となるニオブが蒸着され積層基板が構成される。そして、前記したスピントの製造方法によって、エミッタが形成されカソード電極の上に所定の数の電界放出カソードが構築されるが、カソード電極層の領域L<sub>c</sub>と、隣接するカソード電極間L<sub>g</sub>の範囲は図示されているようにカソード電極層101の厚みによって凹凸状の段差が生じ、特に最上層に蒸着されるゲート電極層104の部分に凹状の沈み込みが生じる。

【0015】そして、この沈み込んだ領域にゲート電極となる薄膜のニオブを蒸着すると、その段差によってQ

4

点に示される位置に亀裂が生じ、この状態で電界放出素子を形成するパターニングやエッチングが実行されると、亀裂下部のエッチングによる断線や素子の内部応力によって歪みが発生し、ブロック化された各電界放出素子の特性が不均一になり、表示面にむらが生じる不合格品が多発するという製造方法としては極めて歩留の悪いものになるという問題が生じる。

【0016】

【課題を解決するための手段】本発明は上記したような製造上の問題点が解消されるようにした電界放出カソードを提供することを目的としてなされたもので、基板上に例えばプラズマCVD法によってn又はp型アモルファスシリコン層を成膜し、前記n又はp型アモルファスシリコン層の所定の位置をレーザ光線によるアニールによって多結晶化することによりカソード電極を形成すると共に、上記n又はp型アモルファスシリコン層の上面にスピントの方法によってエミッタ、及びゲート電極を形成することによって電界放出カソードを構成する。

【0017】

【作用】基板上にプラズマCVD法等によって蒸着されたn又はp型アモルファスシリコン層は、たとえば燐又はホウ素がドーパされることによって、その抵抗率が $10^3 \sim 10^6 \Omega/\text{cm}$ であり、エミッタの電流を抑制する抵抗層として動作するが、このn又はp型アモルファスシリコン層の所定の領域をレーザによってアニールすると、アニールされた部分は熱エネルギーによってアモルファスの状態から多結晶化され、その抵抗率が $10^{-1}$ ないし $10^{-3} \Omega/\text{cm}$ の導電体に変化する。したがって、このアニールされた領域をカソード電極として絶縁層、ゲート電極層を蒸着すると、積層基板は平坦な形状になり、凹凸の部分がないことによって特性の揃った電界放出素子を構築することができる。

【0018】

【実施例】図1、及び第2図は本発明の電界放出カソードを製造する工程を示したもので、まずガラス基板121の一方の面に燐をドーパしたn又はp型アモルファスシリコン層122をプラズマCVD法によって成膜する。

【0019】このn型アモルファスシリコン層はガス種としてはSiH<sub>4</sub>あるいはSiH<sub>2</sub>Cl<sub>2</sub>にPH<sub>3</sub>を数%から数十%混合してプラズマ分解を行い、抵抗率が $10^3 \sim 10^6 \Omega/\text{cm}$ のn型アモルファスシリコン層として成膜したものであり、図1(a)に示すようにFECの抵抗層となるものである。なお、ドーパ材としては燐の他に、砒素(As)等を混入することができる。また、p型のドーパ材としてはホウ素の他にガリウム(Ga)、インジウム(In)等を混入することができる。

【0020】そして、図1(b)に示すように、例えばエキシマレーザLp(波長308nm)を照射して所定の領域を瞬間的に加熱するアニール処理を行い、このn

又はp型アモルファスシリコン層122のレーザが照射されている部分をアモルファス状態から多結晶化すると、ドーピングされている磷が活性化され、アニール処理された領域123が抵抗率 $10^{-1} \sim 10^{-3} \Omega/\text{cm}$ の導電体に変化する。

【0021】このようにガラス基板上に配置されているn又はp型アモルファスシリコン層122にアニール処理を施した後、図1(c)に示すように例えばSiO<sub>2</sub>からは絶縁層124、及びニオブ等からなるゲート電極層125を成膜し、前記図6に示したようにFECを成形する工程、すなわちゲート電極層125の所定位置にマスクをかけてフォトリソ層126を形成し、エッチングによりゲート電極層125に穴を開け(図1のd)、次に図2(c)に示すように斜め蒸着によって剥離層207となるA1を蒸着し、この開口部から等方性エッチングによって絶縁層124に穴を開ける。そして、この穴からモリブデン等からなるエミッタ材料層を電子ビーム蒸着方法等によって堆積させると、図2(f)に示すように先端が円錐形状とされたコーン状のエミッタ115がn又はp型のアモルファスシリコン層122の上に形成される。そして、その後は従来の製造方法と同様にレジスト層126及び剥離層127を除去することによって本発明のFECが形成される。(図2のg)

【0022】本発明の電界放出カソードは上記したようにn又はp型アモルファスシリコン層122によって抵抗層を形成し、このn又はp型アモルファスシリコン層122の所定の位置にレーザアニールをかけることによって、n又はp型アモルファスシリコン層にアモルファスシリコンから多結晶化する際ドーピング材料を活性化して良導電体に変化するようになっているので、この導電体部分をカソード電極領域123としてすることができる。そのため、各エミッタはこのカソード電極領域123と抵抗層を構成しているn又はp型アモルファスシリコン層を介して接続されることになる。

【0023】本発明のFEC構造ではその積層基板の状態では全ての層が平坦になり、従来のFECにみられるようにカソード電極に対応する部分の上面が盛り上がった積層状態になることがないから、FECを製造する各種のプロセスが平坦な面で実行され、ゲート電極の厚みや、エミッタの高さなどが均一となるように構成することができる。

【0024】上記n又はp型アモルファスシリコン層によって形成される抵抗層をレーザアニールすることによって構成されるカソード電極領域123の形状は、例えば図3に示されているように、数10個の電界放出カソード素子28をグループとして分割されたブロック129を囲むようなパターンにすることができる。又、表示装置の場合はこのカソード電極123の形状を、図5に示したように帯状のカソード電極層101となるよう

に構成することもできる。

【0025】ところで、図2(g)に示されているように基板上にカソード電極を配置すると、ブロック内にある各エミッタがn又はp型アモルファスシリコン層からなる抵抗層を介してカソード電極に接続される経路長が異なるという問題が残る。そこで、次に示す図4のように積層基板を構成すると帯状のカソード電極層の上に均質な抵抗層を有するFECを構成することができる。

【0026】すなわち、図4に示すようにガラス等の基板131上に不純物が混入されている絶縁性のアモルファスシリコン、又はポリシリコンをスパッタ蒸着法またはプラズマCVD法で被膜して第1の絶縁層132を形成する。そして、この第1の絶縁層132の所定の範囲Bをエキシマレーザ等のよってアニールすると、アモルファスシリコンからなる層の一部が結晶化され、抵抗率が $10^{-1} \sim 10^{-3} \Omega/\text{cm}$ 程度の導電領域133が結晶化される。そして、図4に示すようにこの導電領域133の上面に減圧CVD法によって前記したn又はp型のアモルファスシリコン層134を蒸着し、さらにその上方に図1及び図2で示したように絶縁層135、ゲート電極層136を成膜する。

【0027】そして、前記図1及び図2で説明した方法で、絶縁層135に穴を開け、この穴からモリブデン等の堆積によってエミッタを形成するものであるが、本実施例の場合はこのエミッタを堆積する前に図1(c)に示されているように、絶縁層135に穴が開けられた後にレーザLPを照射し、n又はp型アモルファスシリコン層134で形成されている部分に局部的に抵抗領域137を形成するレーザアニールを行う。すると交差斜線で示されているようにアニールを行ったn又はp型アモルファスシリコン層134の一部が局部的に抵抗領域137に変化し、抵抗率が $10^2 \sim 10^6 \Omega/\text{cm}$ 程度の範囲となるような抵抗を示す。

【0028】なお、この抵抗率を正確に実現するために、積層基板上的n又はp型アモルファスシリコン層134の一部領域にテスト領域を設けておき、このテスト領域の抵抗変化を監視しながらレーザアニールの時間、強度等を調整しながら行うことが好ましい。そして、上記したレーザアニールによって抵抗領域137が形成されたあと、前記したようにモリブデン材料を電子ビーム蒸着によって垂直方向から堆積し、エミッタ115を絶縁層の穴の中に堆積する。

【0029】したがって、この実施例の場合は図4(d)に示されているようにアニールによって形成されたカソード電極領域133の上方に同じくアニールによって構成されている抵抗領域137が設けられ、この抵抗領域137の上がコーン状のエミッタ115となるFECとすることができる。

【0030】本実施例ではカソード電極領域133の上方に載置されている全てのエミッタ115はカソード電

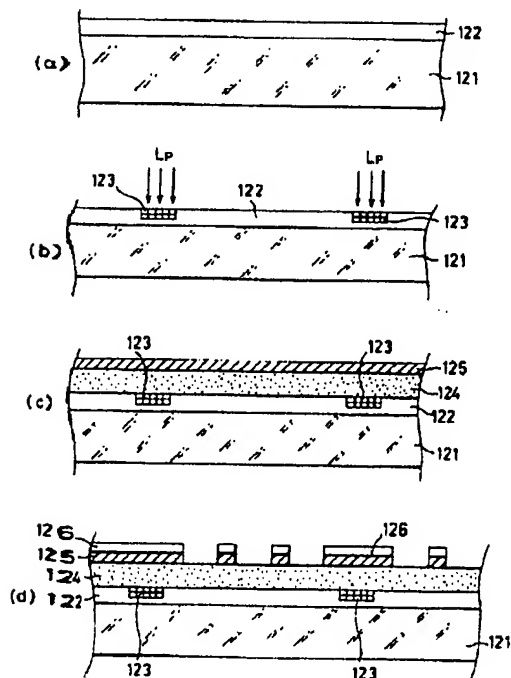
極領域133に対して同一の抵抗領域137を介して接続されることになり、このカソード電極領域133を走査電極として制御するときに、各エミッタの電位を完全に同一に保つことができる。

【0031】なお、上記実施例はレーザアニールを行う際に積層基板の上方からレーザを照射しているが、ガラス基板の透過性を利用して基板の裏側からカソード電極層となる部分をアニール加工によって形成することもできる。したがって、前記図1、図2、及び図4に示した製造方法では、最終的にFECを完成したのちカソード電極領域123、又は133を形成することも可能になる。

【0032】

【発明の効果】本発明は、以上のようにガラス基板上に形成されるカソード電極がn又はp型アモルファスシリコン層をレーザアニールすることによって構成されているため、FECを構成する各種の構成材料を積層するときに、これらの各層を平坦な状態で加工処理することができる。したがって、従来のように積層基板を形成する際にカソード電極が盛り上がることによって生じる各種の弊害が解消され、欠陥のない均質な電界放出カソードの製造を歩留まり良くすることができる。

【図1】



【図面の簡単な説明】

【図1】本発明の電界放出カソードの製造工程を示す前半の説明図である。

【図2】本発明の電界放出カソードの製造工程を示す後半の説明図である。

【図3】レーザアニールによって形成されるカソード電極の説明図である。

【図4】本発明の他の実施例を示す電界放出カソードの製造過程を示す説明図である。

【図5】電界放出カソードを使用する装置の一例を示す斜視図である。

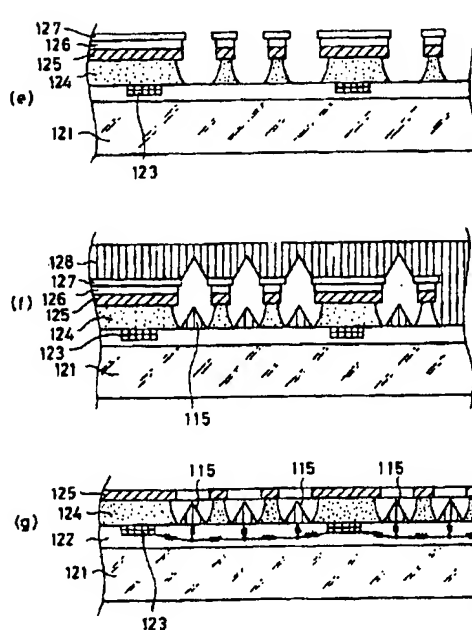
【図6】従来の電界放出カソードの製造方法を示す説明図である。

【図7】従来の製造方法で生じる積層基板の凹凸の拡大した断面図である。

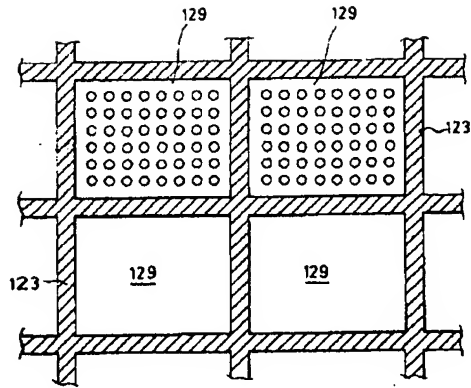
【符号の説明】

- 121, 131 基板
- 122 n又はp型アモルファスシリコン層
- 123 カソード電極領域
- 123 絶縁層
- 125 ゲート電極層
- 115 エミッタ

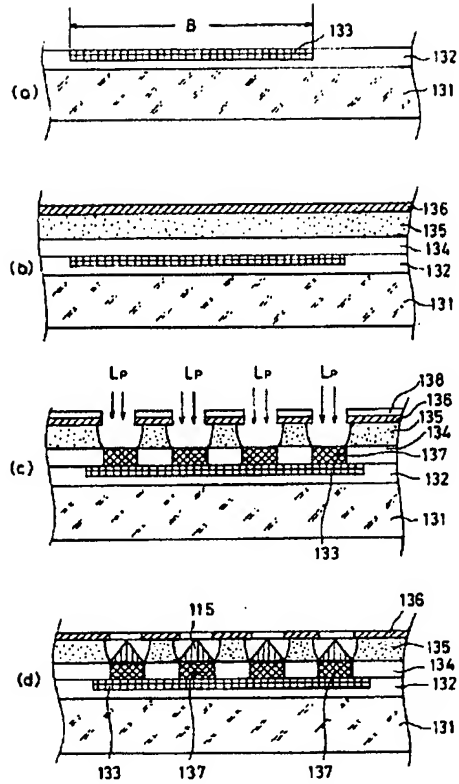
【図2】



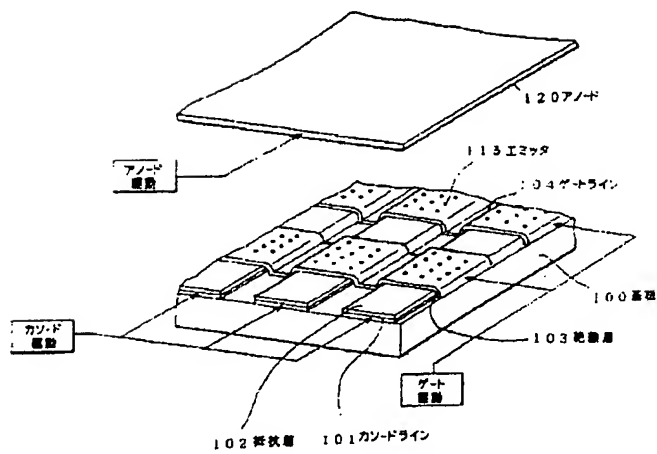
【図3】



【図4】

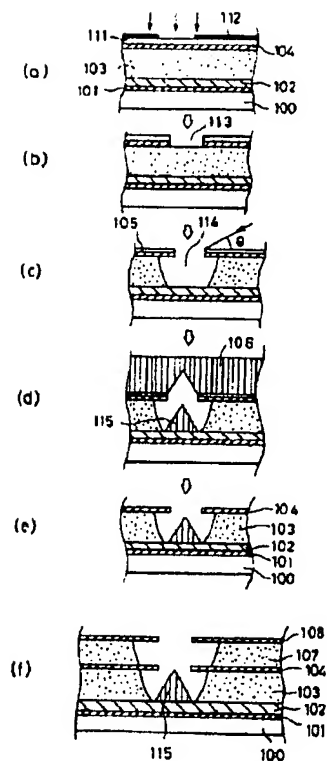


【図5】

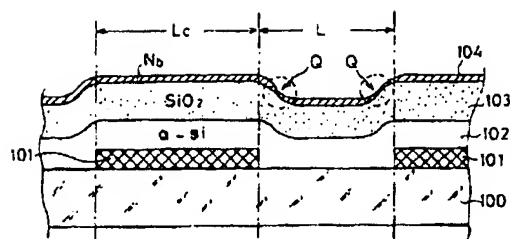




【図6】



【図7】



フロントページの続き

(72) 発明者 大津 和佳

千葉県茂原市大芝629 双葉電子工業株式  
会社内